

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09055637 A

(43) Date of publication of application: 25 . 02 . 97

(51) Int. Cl

H03H 7/38  
H03H 3/007

(21) Application number: 07227387

(71) Applicant: NIPPON AVIONICS CO LTD

(22) Date of filing: 11 . 08 . 95

(72) Inventor: SATO TAKEO

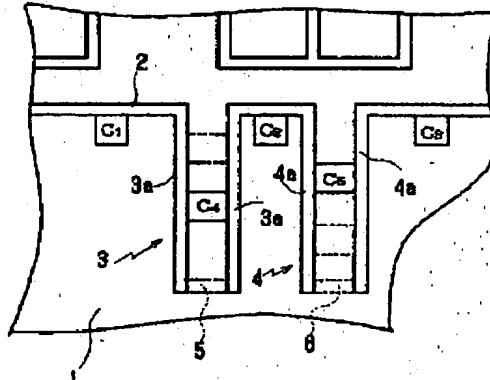
(54) IMPEDANCE ADJUSTMENT METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To improve space efficiency by forming a parallel wiring pattern consisting of a couple of wire patterns formed in parallel to adjust impedance of an LC series circuit consisting of a coil and a capacitor.

SOLUTION: Chip capacitors C<sub>1</sub>, C<sub>2</sub>, C<sub>3</sub> are mounted between a main wire pattern 2 and earth respectively. Chip capacitors C<sub>4</sub>, C<sub>5</sub> for impedance adjustment are connected in series with coils of the parallel wire patterns 3, 4 and the impedance of the coils of the patterns 3, 4 is decided by the mount position. The impedance of the coil of the pattern 3 depends on the impedance of a series circuit consisting of the capacitor C<sub>4</sub> and the coil of the length of the pattern 3 up to the mounted position of the capacitor C<sub>4</sub>. Since the inductance of the coil varies with the mounted position of the capacitor C<sub>4</sub>, the combined impedance of an LC parallel circuit is adjusted. This adjustment is applied also to the pattern 4.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-55637

(43)公開日 平成9年(1997)2月25日

(51)Int.Cl.<sup>6</sup>

H 03 H 7/38  
3/007

識別記号

庁内整理番号

F I

H 03 H 7/38  
3/007

技術表示箇所

C  
D

審査請求 未請求 請求項の数3 FD (全3頁)

(21)出願番号 特願平7-227387

(22)出願日 平成7年(1995)8月11日

(71)出願人 000227836

日本アピオニクス株式会社

東京都港区西新橋三丁目20番1号

(72)発明者 佐藤健夫

東京都港区西新橋三丁目20番1号 日本ア  
ピオニクス株式会社内

(74)代理人 弁理士 功力 妙子

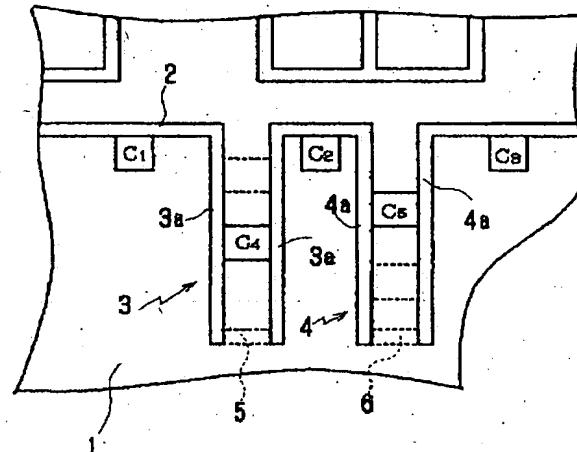
(54)【発明の名称】 インピーダンスの調整方法

(57)【要約】

【課題】 高周波数帯におけるマルチチップモジュールの製造段階において、各箇所の回路のインピーダンスを調整する方法を提供すること。

【解決手段】 主配線パターンにそれぞれ接続され、互いに平行に形成された一対の配線パターンからなる並列配線パターンを形成し、この並列配線パターンへのチップコンデンサの実装位置を調整することにより並列配線パターンの持つコイルのインダクタンスを調整することにより、この配線パターンの持つコイルとチップコンデンサとにより構成されるLC直列回路のインピーダンスを調整することにより、回路の高周波インピーダンスを調整するようにしたものである。

【効果】 回路の電気特性を調整するための最小限有効な配線パターンが形成されればよいことになり、絶縁基板のスペース効率がよくなる。



1

## 【特許請求の範囲】

【請求項1】 高周波モジュールの製造段階において、回路の高周波インピーダンスを調整する方法において、主配線パターンにそれぞれ接続され、互いに平行に形成された一対の配線パターンからなる並列配線パターンを形成し、この並列配線パターンへのチップコンデンサの実装位置を調整することにより前記並列配線パターンの持つコイルのインダクタンスを調整し、この配線パターンによるコイルと前記チップコンデンサとにより構成されるLC直列回路のインピーダンスを調整することにより、前記回路の高周波インピーダンスを調整することを特徴とするインピーダンスの調整方法。

【請求項2】 前記並列配線パターンに実装した前記チップコンデンサの容量を変えることにより、LC直列回路のインピーダンスを微調整することを特徴とする請求項1に記載のインピーダンスの調整方法。

【請求項3】 前記並列配線パターンへの大容量のチップコンデンサの実装位置を調整することにより前記並列配線パターンの持つコイルのインダクタンスを調整することを特徴とする請求項1に記載のインピーダンスの調整方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、高周波数帯におけるマルチチップモジュールの製造段階において、各箇所の回路のインピーダンスを調整する方法に関するものである。

## 【0002】

【従来の技術】 一般に、高周波数帯におけるマルチチップモジュールを製造する場合、絶縁基板には回路を構成する多数の配線パターンが形成されており、これらの配線パターンには、それぞれ所定位置にチップが実装されて回路が形成される。

【0003】 このようにして回路を形成する際、各箇所の回路の高周波電気特性を調整しなければならない。その調整方法のひとつとして、絶縁基板に配線パターンを形成する際、長い配線パターンや余分な配線パターンを形成し、この配線パターンをカットしたり接続したりすることによりその配線パターン回路の持つコイルのインダクタンスを変えて電気特性が調整されている。

## 【0004】

【発明が解決しようとする課題】 このような方法では、単に配線パターンの持つコイルのインダクタンスを調整することにより、回路のインピーダンスが調整されているため、その調整範囲が限定されるとの問題がある。その上、電気特性を調整する必要のある回路部分には、インダクタンスの調整のための余分な配線パターンを形成しなければならず、それだけ絶縁基板のスペース効率が悪くなる等の問題もある。

## 【0005】

【課題を解決するための手段】 この発明は、主配線パターンにそれぞれ接続され、互いに平行に形成された一対の配線パターンからなる並列配線パターンを形成し、この並列配線パターンへのチップコンデンサの実装位置を調整することにより並列配線パターンの持つコイルのインダクタンスを調整することにより、この配線パターンの持つコイルとチップコンデンサとにより構成されるLC直列回路のインピーダンスを調整することにより、回路の高周波インピーダンスを調整するようにしたものである。

## 【0006】

【発明の実施の形態】 この発明の実施例を、図1～図2に基づいて詳細に説明する。図1はこの発明の実施例を示す要部配線図、図2は図1の回路図である。この実施例では、LCの直列回路のインピーダンスを調整する場合を例にとり説明する。

【0007】 図1～図2において、1は絶縁基板で、この絶縁基板1上には各種の回路を構成する主配線パターン2が形成されている。3、4は並列配線パターンで、互いに平行な一対の長い直線状の配線パターン3a、4aが形成されており、その両端は電気的な特性を調整する必要のある回路の主配線パターン2に接続されている。この並列配線パターン3、4は電気的にはコイルのインダクタンスとして作用している。

【0008】 C<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub>はチップコンデンサで、この実施例の場合には、それぞれ主配線パターン2とアースとの間に実装されている。C<sub>4</sub>、C<sub>5</sub>は並列配線パターン3、4自身の持つコイルL<sub>3</sub>、L<sub>4</sub>にそれぞれ直列に接続されるインピーダンス調整用のチップコンデンサで、並列配線パターン3、4にそれぞれ実装され、この実装位置により並列配線パターン3、4がそれぞれ持つコイルL<sub>3</sub>、L<sub>4</sub>のインピーダンスが決定される。

【0009】 実装位置により並列配線パターン3が持つコイルL<sub>3</sub>は、図2に示すように、L<sub>3</sub> = L<sub>41</sub> + L<sub>42</sub>であり、同様にコイルL<sub>4</sub>は、L<sub>4</sub> = L<sub>51</sub> + L<sub>52</sub>となる。5、6はそれぞれ並列配線パターン3、4の短絡用の配線パターンで、必要に応じて形成されるもので、チップコンデンサC<sub>4</sub>、C<sub>5</sub>を実装しない場合に必要である。

【0010】 このように構成されているので、図2に示すように、並列配線パターン3におけるコイルL<sub>3</sub>（L<sub>41</sub> + L<sub>42</sub>）（以下、単にL<sub>3</sub>と記す）のインピーダンスは、チップコンデンサC<sub>4</sub>とチップコンデンサC<sub>5</sub>が実装された位置までの並列配線パターン3のパターン長が持つコイルL<sub>3</sub>との直列回路となる。従って、チップコンデンサC<sub>4</sub>の実装位置によりコイルL<sub>3</sub>のインダクタンスを変えることが出来るので、LC並列回路の合成インピーダンスを調整することが出来る。並列配線パターン4についても同様である。

【0011】 又、直列回路のインピーダンスは、チップコンデンサC<sub>4</sub>、C<sub>5</sub>の実装位置を決定して配線バ-

ン3, 4が持つコイル $L_1$ ,  $L_2$ のインダクタンスを決定した後に、チップコンデンサ $C_4$ ,  $C_5$ の容量を変えることによりさらに微調整することが出来る。

【0012】図3は他の実施例を示すもので、インピーダンス調整用のチップコンデンサ $C_4$ ,  $C_5$ をそれぞれ大容量のものを使用した場合の回路図を示している。この場合には、並列配線パターン3, 4は、実質的に大容量のチップコンデンサ $C_4$ ,  $C_5$ により実装位置で短絡された状態となる。従って、チップコンデンサ $C_4$ ,  $C_5$ の実装位置によりコイル $L_1$ ,  $L_2$ のインダクタンスのみを調整することが出来る。

【0013】

【発明の効果】この発明は、主配線パターンにそれぞれ接続され、互いに平行に形成された一対の配線パターンからなる並列配線パターンを形成し、この並列配線パターンへのチップコンデンサの実装位置を調整することにより並列配線パターンの持つコイルのインダクタンスを調整し、このコイルとチップコンデンサとにより構成さ\*

\*れるLC直列回路のインピーダンスを調整することにより、回路の高周波インピーダンスを調整するようにして、回路の電気特性を調整することが出来る。さらに、従来設けられていた余分な配線パターンが必要なくなり、最小限有効な配線パターンが形成されればよいことになり、絶縁基板のスペース効率がよくなる。

【0014】さらに、従来は絶縁基板に形成されている配線パターンのカットや配線パターンの接続等の余分な加工時間が不要となる。

#### 【図面の簡単な説明】

【図1】この発明の実施例を示す要部配線図である。

【図2】図1に示す回路図である。

【図3】この発明の他の実施例を示す回路図である。

#### 【符号の説明】

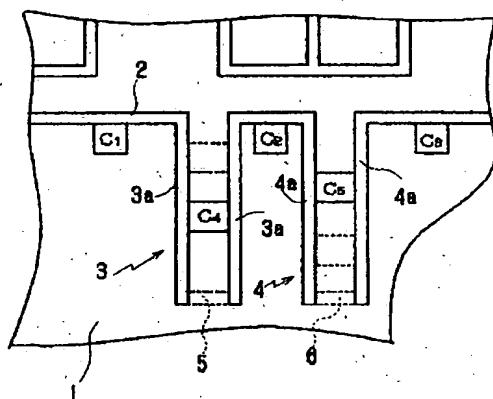
2 主配線パターン

3, 4 並列配線パターン

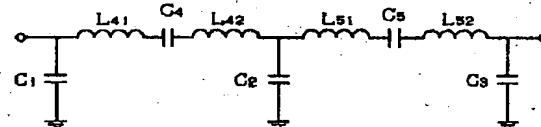
$C_1$ ,  $C_2$ ,  $C_3$  コンデンサ

$C_4$ ,  $C_5$  チップコンデンサ

【図1】



【図2】



【図3】

